

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-140876

(43)Date of publication of application : 20.05.1994

(51)Int.Cl.

H03H 17/02

(21)Application number : 04-311150

(71)Applicant : KENWOOD CORP

(22)Date of filing : 28.10.1992

(72)Inventor : SATO MAKOTO  
NAGASHIMA TOKUO

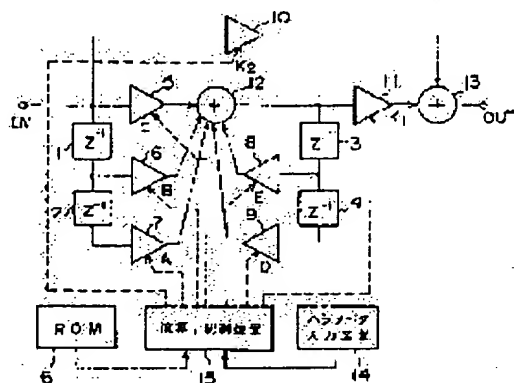
## (54) DIGITAL FILTER DEVICE

## (57)Abstract:

**PURPOSE:** To reduce the storage capacity of a multiplication coefficient storage means and to facilitate integration by calculating a multiplication coefficient based on a reference gain value and a desired gain value in addition to a multiplication coefficient for the reference gain value and setting it on a multiplier.

**CONSTITUTION:** An input signal is supplied to a unit delay calculator 1, delayed, supplied to multipliers 5 and 10 and respectively made C-times and K2-times corresponding to the multiplication coefficient. The output of the calculator 1 is delayed 2, supplied to a multiplier 6 and made A-times by the multiplication coefficient. The respective outputs of multipliers 5-9 are added by an adder 12. The output from the adder 12 is delayed 3, supplied to a multiplier 11 and made K1-times by the multiplication coefficient. The output of a unit delay calculator 3 is delayed and made E-times by a multiplier 8 corresponding to the coefficient. The outputs from the multipliers 8 and 9 are supplied to an adder 12.

The outputs from the multipliers are supplied to an adder 13. On the other hand, an arithmetic/control unit 15 sets the multiplication coefficients to the multipliers 5-11 corresponding to parameter information from a parameter input device 14 and reference multiplication coefficients A-E from a ROM 16.



## LEGAL STATUS

[Date of request for examination] 07.10.1996

[Date of sending the examiner's decision of rejection] 12.09.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成6年(1994)5月20日

### 技術表示箇所

K 7037-5 J

(74) 代理人 弁理士 砂子 信夫

## 【特許請求の範囲】

【請求項1】 利得可変で所定の伝達関数にしたがって入力信号を濾波するデジタルフィルタ装置であって、基準利得値から算出された乗算係数を格納する記憶手段と、所望の利得値に対応するパラメータを入力するための入力手段と、該入力手段から入力されたパラメータに対応する利得値と前記基準利得値とに基づいて前記伝達関数中の乗算係数のうち少なくとも1つ以上の乗算係数を演算する演算手段とを備え、前記演算手段によって演算された乗算係数および前記記憶手段に記憶の乗算係数をそれぞれ各別に乗算器に設定すること特徴とするデジタルフィルタ装置。

【請求項2】 利得可変で所定の伝達関数にしたがって入力信号を濾波するデジタルフィルタ装置であって、基準利得値から算出された乗算係数を格納する記憶手段と、所望の利得値に対応するパラメータを入力するための入力手段と、該入力手段から入力されたパラメータに対応する利得値と前記基準利得値とに基づく係数を演算し、かつ該演算による係数によって前記記憶手段に記憶の乗算係数の一部を補正演算する演算手段とを備え、前記演算手段によって補正された乗算係数および記憶手段に記憶の乗算係数の前記一部を除く残余の乗算係数をそれぞれ各別に乗算器に設定すること特徴とするデジタルフィルタ装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は利得可変で所定の伝達関数にしたがう特性で入力信号を濾波するデジタルフィルタ装置に関する。

## 【0002】

【従来の技術】 従来のデジタルフィルタ装置は図5に示す、Z変換された信号に対するブロック図のように、単位遅延演算子 $21 \sim 24$ 、乗算器 $25 \sim 29$ 、加算器 $30$ 、乗算器 $25 \sim 29$ に対する乗算係数を格納したROM $31$ 、キーボードなどからなるパラメータ入力装置 $32$ およびパラメータ入力装置 $32$ からの出力された信号に基づく乗算係数を制御装置 $33$ の制御のもとにROM $31$ から読み出し、読み出した乗算係数 $A' \sim E'$ を乗算器 $25 \sim 29$ にそれぞれ格別に設定している。または、パラメータ入力装置 $32$ に入力されたパラメータ情報に基づいて乗算係数を制御装置によって演算し、演算した乗算係数を乗算器に設定していた。

## 【0003】

【発明が解決しようとする課題】 しかしながら、上記した従来のデジタルフィルタ装置による場合は、入力されるパラメータ情報の数が増加した場合には、パラメータの全ての組合せの数だけ、各乗算器に対する乗算係数をROMに格納しておかなければならず、ROMの記憶容量が膨大なものとなるという問題点があった。更に、制御装置に対して高精度な演算が要求されるために、制御

装置が非常に高価な制御部となるという問題点があった。

【0004】 本発明は、乗算係数記憶手段の記憶容量が少なく済み、かつ集積回路化しやすいデジタルフィルタ装置を提供することを目的とする。

## 【0005】

【課題を解決するための手段】 本発明の請求項1のデジタルフィルタ装置は、利得可変で所定の伝達関数にしたがって入力信号を濾波するデジタルフィルタ装置であって、基準利得値から算出された乗算係数を格納する記憶手段と、所望の利得値に対応するパラメータを入力するための入力手段と、該入力手段から入力されたパラメータに対応する利得値と前記基準利得値とに基づいて前記伝達関数中の乗算係数のうち少なくとも1つ以上の乗算係数を演算する演算手段とを備え、前記演算手段によって演算された乗算係数および前記記憶手段に記憶の乗算係数をそれぞれ各別に乗算器に設定すること特徴とする。

【0006】 本発明の請求項2のデジタルフィルタ装置は、利得可変で所定の伝達関数にしたがって入力信号を濾波するデジタルフィルタ装置であって、基準利得値から算出された乗算係数を格納する記憶手段と、所望の利得値に対応するパラメータを入力するための入力手段と、該入力手段から入力されたパラメータに対応する利得値と前記基準利得値とに基づく係数を演算して該演算による係数によって前記記憶手段に記憶の乗算係数の一部を補正演算する演算手段とを備え、前記演算手段によって補正された乗算係数および記憶手段に記憶の乗算係数の前記一部を除く残余の乗算係数をそれぞれ各別に乗算器に設定すること特徴とする。

## 【0007】

【作用】 本発明の請求項1のデジタルフィルタ装置によれば、入力手段から入力されたパラメータに対応する利得値と記憶手段に記憶の基準利得値とに基づいて伝達関数中の乗算係数のうち少なくとも1つ以上の乗算係数が演算手段によって演算され、演算手段によって演算された乗算係数および記憶手段に記憶の乗算係数がそれぞれ乗算器に設定されて、デジタルフィルタの周波数特性はこの乗算係数に基づく伝達関数により定められた周波数特性となる。したがって、記憶手段には基準利得値から算出された乗算係数を記憶しておくことで済み、記憶手段の記憶容量は少なくすむ。

【0008】 本発明の請求項2のデジタルフィルタ装置によれば、入力手段から入力されたパラメータに対応する利得値と記憶手段に記憶の基準利得値とに基づく係数が演算され該演算による係数によって記憶手段に記憶の乗算係数の一部が補正演算される。この演算によって補正された乗算係数および乗算係数の一部を除く記憶手段に記憶の残余の乗算係数がそれぞれ乗算器に設定されて、デジタルフィルタの周波数特性はこの乗算係数に基

3

づく伝達関数により定められた周波数特性となる。したがって、記憶手段には基準利得値から算出された乗算係数を記憶しておくことで済み、記憶手段の記憶容量は少なくすむ。更に、乗算係数の数としては、基準利得値に対して記憶手段に記憶されて乗算係数の数と同一であって、乗算器の数が増加することもない。

【0009】

【実施例】以下、本発明を実施例により説明する。図1は本発明の一実施例の構成を示すZ変換された信号に対するブロック図である。

【0010】本実施例のフィルタ装置は、供給された入力信号を単位遅延演算子1に供給して遅延させると共に、乗算器5および乗算器10に供給して夫々乗算係数C倍、K<sub>2</sub>倍する。単位遅延演算子1の出力は単位遅延演算子2に供給して遅延させると共に、乗算器6に供給して乗算係数B倍する。単位遅延演算子2の出力は乗算器7に供給して乗算係数A倍する。乗算器5、乗算器6および乗算器7からの各乗算出力、後記する乗算器8および乗算器9からの各乗算出力は加算器12において加算する。

【0011】加算器12からの加算出力は単位遅延演算子3に供給して遅延させると共に、乗算器11に供給して乗算係数K<sub>1</sub>倍する。単位遅延演算子3の出力は単位遅延演算子4に供給して遅延させると共に、乗算器8に供給して乗算係数E倍する。単位遅延演算子3からの出力は単位遅延演算子4に供給して遅延させ、単位遅延演算子4からの出力は乗算器9に供給して乗算係数D倍する。乗算器8および9からの乗算出力は加算器12に供給する。乗算器10および乗算器11からの乗算出力は加算器13に供給して加算する。

【0012】一方、ROM16は基準となる乗算係数A～Eを格納した記憶装置である。所望する利得等のフィルタのパラメータ情報を入力するキーボードからなるパラメータ入力部14からの出力は制御、演算装置15に供給する。制御、演算装置15は入力されたパラメータ情報に基づいて乗算係数K<sub>1</sub>、K<sub>2</sub>の演算を行なうと共に、ROM16から基準となる乗算係数A～Eを読み込み、乗算係数A～E、K<sub>1</sub>、K<sub>2</sub>を夫々対応する乗算器5～11に各別に設定する。

【0013】上記のように構成した本実施例の巡回型デジタルフィルタ装置によってローパスフィルタ、バンドパスフィルタ、バンドエリミネータフィルタ、ハイパスフィルタなどのフィルタが構成される。例えば、図2に示すようなベル形状の周波数振幅特性を有するバンドパスフィルタの場合を例に説明する。

【0014】図2に示すベル形状周波数振幅特性のバン

4

ドパスフィルタの伝達関数H(Z)は、

【0015】

【数1】

$$H(Z) = \left( \frac{AZ^{-2} + BZ^{-1} + C}{DZ^{-2} + EZ^{-1} + 1} \right) K_1 + K_2$$

【0016】に示すごとくである。ここで、乗算係数K

、およびK<sub>2</sub>は、

【0017】

10 【数2】

$$10^{\frac{\alpha}{20}} K_1 + K_2 = 10^{\frac{\beta}{20}}$$

【0018】

【数3】

$$K_1 + K_2 = 1$$

【0019】の条件により決定される。ここで、αは基準となる利得値(dB)であり、βはパラメータ入力部14から入力されたパラメータ情報に対応する利得値(dB)であり、α、βともにバンドパスフィルタ特性のピーク値である。したがって、乗算係数K<sub>1</sub>、K<sub>2</sub>は

【0020】

【数4】

$$K_1 = \frac{1 - 10^{\frac{\beta}{20}}}{1 - 10^{\frac{\alpha}{20}}}$$

【0021】

【数5】

$$K_2 = 1 - K_1$$

30

【0022】となる。上記の伝達関数H(Z)は基準となる利得値αに基づいて算出された乗算係数A～Eを用いて、乗算係数K<sub>1</sub>、K<sub>2</sub>により図2中のF点、G点およびH点を補正したうえで所望の利得値βを持つ伝達関数である。

【0023】したがって、この伝達関数を用いることによって乗算係数K<sub>1</sub>およびK<sub>2</sub>を演算することによって、任意の利得値βを有するバンドパスフィルタを構成することができる。

【0024】以下、具体的な実施例についてを説明する。いま、ROM16に格納されている基準となる乗算係数A～Eのパラメータを中心周波数=1kHz、尖鋭度Q=1.0、利得値α=12dBとする。この場合の乗算係数A～Eは

【0025】

【表1】

5		6		
A	B	C	D	E
0.68852	-1.85594	1.18642	0.87493	-1.85594

【0026】に示すごとくである。

【0027】1例として、利得値 $\beta = 10\text{ dB}$ の場合の乗算係数 $K_1$ 、 $K_2$ は、上記の乗算係数 $K_1$ 、 $K_2$ の演算式から、乗算係数 $K_1 = 0.72533$ 、乗算係数 $K_2 = 0.27467$ となる。利得値 $\beta$ に対する乗算係数 $K_1$ および $K_2$ を演算した結果は、

【0028】

【表2】

$\beta$	$K_1$	$K_2$
10	0.72533	0.27467
8	0.50716	0.49284
6	0.33386	0.66614
4	0.19620	0.80380
2	0.08869	0.91131

【0029】に示す如くであり、この場合の伝達関数によるバンドパスフィルタの周波数振幅特性は図3に示すごとくなる。

【0030】次ぎに本発明の他の実施例について説明する。図4は本発明の他の実施例の構成を示す2変換された信号に対するブロック図である。本他の実施例においては、上記した一実施例において、乗算器10、乗算器11および加算器13を除去して構成してある。

【0031】本他の実施例は上記一実施例における伝達関数を双2次形の伝達関数の一般形に等価変換したものである。本他の実施例においては、前記一実施例における乗算器5～9に対応する乗算器51、61、71、81および91は制御、演算装置15から設定される乗算係数が乗算器6～9の乗算係数と異なって、上記一実施例の乗算係数A～Eに対して、乗算係数A'～E'となっている。

【0032】乗算係数A'～E'は乗算係数A' = A ·  $K_1$  + D ·  $K_2$ 、乗算係数B' = B、乗算係数C' = C ·  $K_1$  +  $K_2$ 、乗算係数D' = D、乗算係数E' = Eにしたがって制御、演算装置15によって演算される。ここで、ROM14には乗算係数A～Eが格納されている。乗算係数 $K_1$ および $K_2$ は一実施例の場合と同様に演算される。

【0033】上記した一実施例におけるデジタルフィルタ装置においては一般形に比較して乗算係数の数が増加

しているが、上記した本他の実施例のように変換することによって従来の場合と乗算係数の数と同数となつて、乗算係数 $K_1$ 、 $K_2$ の増加を抑圧することができる。したがって、本他の実施例によれば、前記一実施例の場合から乗算器10、乗算器11および加算器13を除去することができることになる。

【0034】

【発明の効果】以上説明した如く本発明の請求項1のデジタルフィルタ装置によれば、基準利得に対する乗算係数のほかに、基準利得値と所望の利得値とに基づく乗算係数を演算して乗算器に設定することにより、所望の利得値を有するデジタルフィルタが得られ、従来のデジタルフィルタに比較して乗算係数の演算が少なくてすみ、基準となる乗算係数を精度よく取っておくことによって、演算精度が極端に落ちることがないため、演算手段の演算精度は差ほど高精度である必要はないという効果がある。

【0035】さらに、記憶手段に格納しておく乗算係数の数は基準となる利得値に対する乗算係数のみでよく、記憶手段の記憶容量は少なくてすみ。さらにパラメータ数が増加しても、格納しておくべき乗算係数は基準利得値に対する乗算係数のみでよく大幅に、記憶容量は少なくてよいという効果がある。その上、記憶手段の記憶容量は少なくてすみため、デジタルフィルタ装置を集積回路化することが容易になるという効果もある。

【0036】本発明の請求項2のデジタルフィルタ装置によれば上記した効果のほかに、本発明の請求項1のデジタルフィルタ装置の場合、演算された乗算係数の数だけ乗算器を増加させなければならないのに対し、本発明の請求項2のデジタルフィルタ装置では基準利得値に対して記憶手段に記憶させてある乗算係数の数の乗算器で足り、乗算器の数を増加させる必要がないという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図である。

【図2】ベル形状の周波数振幅特性を有するバンドパスフィルタの特性の例を示す特性図である。

【図3】本発明の一実施例の作用の説明に供するバンドパスフィルタの特性図である。

【図4】本発明の他の実施例の構成を示すブロック図である。

【図5】従来のデジタルフィルタ装置の構成を示すブロック図である。

【符号の説明】

(5)

特開平6-140876

1~4 単位遅延演算子

5~11、51、61、71、81および91 乗算器

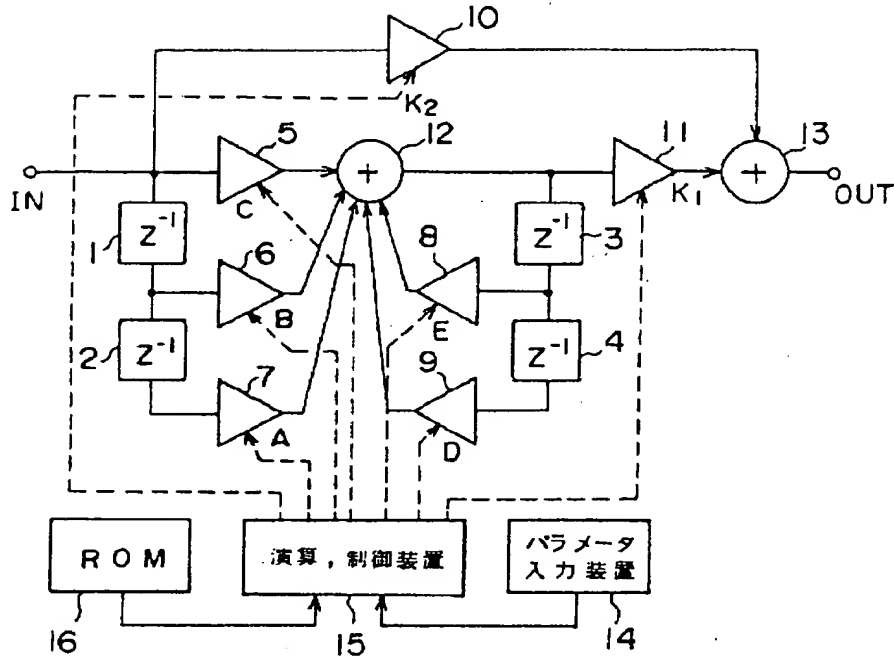
12および13 加算器

14 パラメータ入力装置

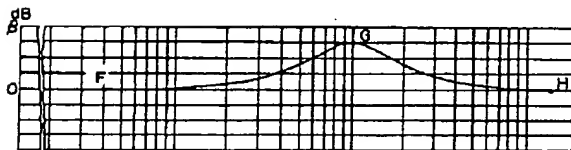
15 制御、演算装置

16 ROM

【図1】



【図2】



【図3】

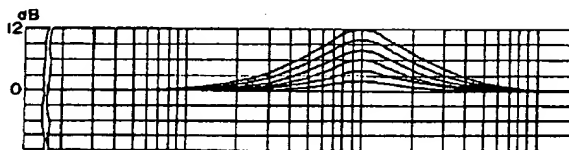


Figure 1 is a block diagram of a digital filter circuit. The circuit includes an input terminal IN, an output terminal OUT, and several delay elements (Z<sup>-1</sup>). The input signal is processed through a series of delay elements and multipliers (51, 61, 71, 81, 91) before being summed at a central adder (12). The sum is then passed through another series of delay elements (3, 4) to produce the output. A control unit (15) is connected to a ROM (16) and a parameter input device (14), which provide control signals (A'', B'', C'', D'', E'') to the multipliers.

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**